

Practitioner's Docket No.: 040021-0307298  
Client Reference No.: OPP 030894 US

PATENT

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re application of: GEON-OOK PARK Confirmation No:

Application No.: Group No.:

Filed: December 19, 2003 Examiner:

For: FORMATION METHOD OF GATE ELECTRODE IN SEMICONDUCTOR

**Commissioner for Patents**  
P.O. Box 1450  
Alexandria, VA 22313-1450

**SUBMISSION OF PRIORITY DOCUMENT**

Attached please find the certified copy of the foreign application from which priority is claimed for this case:

<u>Country</u>	<u>Application Number</u>	<u>Filing Date</u>
Republic of Korea	10-2002-0082001	12/20/2002

Date: December 19, 2003  
PILLSBURY WINTHROP LLP  
P.O. Box 10500  
McLean, VA 22102  
Telephone: (703) 905-2000  
Facsimile: (703) 905-2500  
Customer Number: 00909

  
Dale S. Lazar  
Registration No. 28872



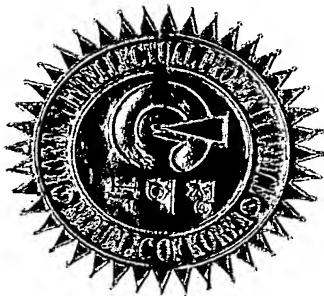
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원번호 : 10-2002-0082001  
Application Number

출원년월일 : 2002년 12월 20일  
Date of Application DEC 20, 2002

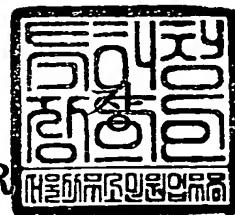
출원인 : 아남반도체 주식회사  
Applicant(s) ANAM SEMICONDUCTOR., Ltd.



2003 년 08 월 29 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서	
【권리구분】	특허	
【수신처】	특허청장	
【참조번호】	0009	
【제출일자】	2002.12.20	
【발명의 명칭】	반도체 소자의 게이트 형성방법	
【발명의 영문명칭】	FORMATION METHOD OF GATE ELECTRODE IN SEMICONDUCTOR DEVICE	
【출원인】		
【명칭】	아남반도체 주식회사	
【출원인코드】	1-1998-002671-9	
【대리인】		
【명칭】	유미특허법인	
【대리인코드】	9-2001-100003-6	
【지정된변리사】	오원석	
【포괄위임등록번호】	2001-041985-8	
【발명자】		
【성명의 국문표기】	박건욱	
【성명의 영문표기】	PARK, GEON WOOK	
【주민등록번호】	680515-1023927	
【우편번호】	121-220	
【주소】	서울특별시 마포구 합정동 389-11번지	
【국적】	KR	
【심사청구】	청구	
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사 를 청구합니다. 대리인 유미특허법인 (인)	
【수수료】		
【기본출원료】	12	면 29,000 원
【가산출원료】	0	면 0 원
【우선권주장료】	0	건 0 원
【심사청구료】	5	항 269,000 원
【합계】	298,000 원	

1020020082001

출력 일자: 2003/9/3

【첨부서류】

1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 사진 공정시 사용하는 파장에 제한되지 않도록 넓은 지역을 두번에 나누어 사진 공정을 실시하여 게이트의 선폭을 줄일 수 있도록 한 반도체 소자의 게이트 형성방법을 제공하는 것으로, 실리콘 기판 위에 게이트 옥사이드를 형성하고, 게이트 전극으로 작용할 폴리 실리콘을 증착한 후, 차후 게이트 식각 시 경화 마스크로 사용할 마스크 박막을 형성하고, 2번에 걸친 식각을 실시하되 게이트가 형성될 지역을 포함하도록 시차를 두고 포토레지스트 패턴을 중첩하여 형성한 다음, 폴리 실리콘에 일부 남아 있는 마스크 박막을 이용하여 폴리 실리콘을 식각하게 된다.

**【대표도】**

도 2c

**【색인어】**

반도체, 포토레지스트 패턴, 중첩, 식각, 게이트

**【명세서】****【발명의 명칭】**

반도체 소자의 게이트 형성방법{FORMATION METHOD OF GATE ELECTRODE IN SEMICONDUCTOR DEVICE}

**【도면의 간단한 설명】**

도 1a 및 도 1b는 종래 반도체 소자에서 게이트를 형성하는 과정을 도시한 단면도이고,

도 2a 내지 도 2e는 본 발명에 따른 반도체 소자에서 게이트를 형성하는 과정을 도시한 단면도이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<3> 본 발명은 반도체 소자의 제조방법에 관한 것으로써, 좀 더 상세하게는 게이트의 선폭을 줄일 수 있는 반도체 소자의 게이트 형성방법을 제공하는 데 있다.

<4> 현재 반도체 소자의 제조기술의 발달과 그 응용분야가 확장되어 감에 따라 반도체 소자의 집적도 증가에 대한 연구 및 개발이 급속도로 발전되고 있다. 이러한 반도체 소자의 집적도 증가에 따라 미세 공정기술을 기본으로 한 반도체 소자의 미세화에 대한 연구가 진행되어 오고 있다.

- <5> 반도체 소자의 미세화에 따라 게이트의 폭이라고 할 수 있는 게이트 CD(critical dimension)의 조절은 매우 중요하다. 게이트 CD의 변화에 따라 트랜지스터 구동 전류가 크게 변화하기 때문이다.
- <6> 종래에는 게이트를 구현하기 위하여 사진 공정을 실시할 때 게이트가 존재 할 영역을 포토레지스트 위에 한 번에 규정함으로써 사진 공정시 사용되는 광원에 따라 선폭이 제한되었다.
- <7> 이하, 첨부된 도 1a 및 도 1b를 참조로 하여 종래의 일반적인 게이트 형성 방법을 설명한다.
- <8> 실리콘 기판(1) 위에 게이트 옥사이드(2)를 형성하고, 그 게이트 옥사이드(2) 위에 게이트 전극으로 작용할 폴리 실리콘(3)을 증착한 후, 게이트를 규정하기 위하여 사진공정을 이용하여 포토레지스트를 패터닝(4)한다.
- <9> 이때 사진공정은 게이트가 형성될 지역의 위에만 포토레지스트 패턴(4)이 존재하도록 진행되며, 그 선폭은 사진공정 진행시 사용되는 광원의 파장에 따라 제한된다. 파장 대역은 여라 가지가 있으며 파장이 작을수록 가공하고자 하는 선폭을 줄일 수 있다. 종래에는 248nm나 193nm 대역을 사용하고 있으며, 이러한 영역의 파장에 의하여 구현할 수 있는 선폭은  $0.13\mu m$ 정도로 제한되고 있다.
- <10> 이렇게 형성된 포토레지스트 패턴(4)을 기반으로 폴리 실리콘(3)을 식각하여 원하는 게이트(3a)를 형성한다.

<11> 그러나 사진 공정 시 사용되는 광원의 파장에 의하여 게이트의 선폭이 제한될 수밖에 없고, 소자를 구성하는 각종 선폭 중 가장 얇은 선폭을 갖는 게이트의 선폭이 제한을 받게 되므로 전체적인 반도체 소자의 크기가 제한을 받게 된다.

<12> 따라서 반도체 소자를 고집적화에는 데에 한계에 봉착하게 된다.

#### 【발명이 이루고자 하는 기술적 과제】

<13> 본 발명은 이와 같은 종래 기술의 문제점을 해결하기 위해 제안된 것으로, 사진 공정시 사용하는 파장에 제한되지 않도록 넓은 지역을 두번에 나누어 사진 공정을 실시하여 게이트의 선폭을 줄일 수 있도록 한 반도체 소자의 게이트 형성 방법을 제공하는 데 있다.

#### 【발명의 구성 및 작용】

<14> 상술한 기술적 과제를 달성하기 위한 본 발명의 반도체 소자의 게이트 형성 방법은, 실리콘 기판 위에 게이트 옥사이드를 형성하고, 게이트 전극으로 작용할 폴리 실리콘을 증착한 후, 차후 게이트 식각시 경화 마스크로 사용할 마스크 박막을 형성하고, 2번에 걸친 식각을 실시하되 게이트가 형성될 지역을 포함하도록 시차를 두고 포토레지스트 패턴을 중첩하여 형성한 다음, 폴리 실리콘에 일부 남아 있는 마스크 박막을 이용하여 폴리 실리콘을 식각하게 된다.

<15> 이하 본 발명에 따른 바람직한 일 실시예를 첨부된 도면에 의거하여 상세히 설명한다.

<16> 도 2a 내지 도 2e는 본 발명에 따른 반도체 소자의 게이트를 제조하는 과정을 단면도로 나타내고 있다.

- <17> 본 발명의 게이트 형성방법은 두번의 사진 공정을 실시하여 게이트의 선팽을 미세하게 형성할 수 있게 된다.
- <18> 이를 위하여, 먼저 도 2a에 도시한 바와 같이, 실리콘 기판(11) 위에 게이트 옥사이드(12)를 형성하고, 게이트 전극으로 작용할 폴리 실리콘(13)을 증착한 후, 차후 게이트 식각시 경화 마스크로 사용할 마스크 박막(14)를 형성한다.
- <19> 이때 마스크 박막(14)은 폴리 실리콘(13)과의 식각율 차이가 큰 물질을 이용하는 것이 바람직하며, 일 예로 PECVD 방법에 의해 실리콘 나이트라이드를 이용한다. 이렇게 형성된 실리콘 나이트라이드 등의 마스크 박막(14)은 폴리 실리콘(13)과의 식각비가 크므로 차후 폴리 실리콘 식각이 완료될 때까지 게이트 위에 존재하게 된다.
- <20> 그리고 도 2b에 도시한 바와 같이, 1차 식각을 실시하는 단계는 경화 마스크로 사용할 실리콘 나이트라이드 등의 마스크 박막(14)의 위에 사진공정을 이용하여 1차 포토레지스트 패턴(15)을 형성하고, 이 1차 포토레지스트 패턴(15)을 기반으로 식각공정을 실시하여 폴리 실리콘(13)이 드러날 때까지 실리콘 나이트라이드 등의 마스크 박막(14)을 식각한다. 이때 앞서 언급한 것과 같이 폴리 실리콘(13)과 마스크 박막(14)의 식각비가 상당히 크므로 폴리 실리콘(13)에 피해 없이 식각이 진행된다.
- <21> 그 결과 1차 포토레지스트 패턴(15)의 하부에는 게이트가 형성될 지역(10)이 포함된 상태이다. 그리고 나서 1차 포토레지스트 패턴(15)을 제거한다.

- <22> 다음으로, 1차 포토레지스트 패턴(15)을 제거한 후 진행되는 2차 식각을 실시하는 단계는 도 2c에 도시한 바와 같이, 다시 2차 포토레지스트 패턴(16)을 형성한다. 이때 형성되는 2차 포토레지스트 패턴(16)은 전술한 1차 포토레지스트 패턴(15)이 형성된 부분과 일부 중첩되는 부분이 발생하게 되며, 이 중첩부분의 하부에 위치한 폴리 실리콘이 후속공정을 통해 게이트로 남게 되는 부분이다.
- <23> 2차 포토레지스트 패턴(16)을 기반으로 하여 식각공정을 진행하여 아직 식각되지 않았던 실리콘 나이트라이드 등의 마스크 박막(14)을 제거하되, 폴리 실리콘(13)이 드러날 때까지 진행한다.
- <24> 폴리 실리콘(13)이 드러나면 식각작업을 종료하고 마스크로 사용된 2차 포토레지스트 패턴(16)을 제거한다. 이와 같이 되면, 폴리 실리콘(13)의 상면에는 게이트의 폭에 해당하는 마스크 박막(14)만 남게 된다.
- <25> 이어서 진행하는 폴리 실리콘을 식각하는 단계는, 도 2d에 도시한 바와 같이, 폴리 실리콘(13)에 일부 남아 있는 마스크 박막(14)만을 이용하여 폴리 실리콘(13)을 식각한다.
- <26> 즉 실리콘 나이트라이드 등의 마스크 박막(14)이 폴리 실리콘(13)에 비해 식각이 덜 진행되므로 마스크 박막(14)이 미세하게 식각될 것을 감안하고 식각을 진행하게 되면 마스크 박막(14)은 그대로 남은 채 실리콘 기판(11)이 드러날 때 까지 폴리 실리콘(13)과 실리콘 옥사이드(12a)의 식각이 진행된다.

<27> 마지막으로 도 2e에 도시한 바와 같이, 게이트를 형성하는 단계는 남겨진 폴리 실리콘(13) 위의 실리콘 나이트라이드 등의 마스크 박막(14)을 습식 식각으로 제거하여 게이트(17)를 형성하게 된다.

#### 【발명의 효과】

<28> 이상에서 살펴본 바와 같이 본 발명에 의하면, 포토레지스트 패턴을 시차를 두고 중첩되게 실시하여 그 중첩되는 부분에서 초미세 선폭의 게이트를 구현함으로써 전체적으로 소자의 크기를 줄일 수 있으며, 이를 통하여 하나의 웨이퍼 내에서 만들어낼 수 있는 소자의 수를 급격하게 증대하여 전체적인 웨이퍼 수율을 증대할 수 있다.

**【특허청구범위】****【청구항 1】**

실리콘 기판 위에 게이트 옥사이드를 형성하고, 게이트 전극으로 작용할 폴리 실리콘을 증착한 후, 차후 게이트 식각시 경화 마스크로 사용할 마스크 박막을 형성하는 단계;

상기 마스크 박막의 위에 1차 포토레지스트 패턴을 형성하고, 이 1차 포토레지스트 패턴을 기반으로 식각공정을 실시하여 상기 마스크 박막을 식각하는 1차 식각을 실시하는 단계;

상기 1차 포토레지스트 패턴을 제거한 후, 식각되고 남은 상기 마스크 박막의 일부 위에 상기 폴리 실리콘의 위에 2차 포토레지스트 패턴을 형성하고, 상기 2차 포토레지스트 패턴을 기반으로 상기 마스크 박막을 식각하는 2차 식각을 실시하는 단계;

상기 2차 포토레지스트 패턴을 제거한 후, 상기 폴리 실리콘에 일부 남아 있는 마스크 박막을 이용하여 폴리 실리콘을 식각하는 단계; 및

상기 폴리 실리콘 위에 남겨진 마스크 박막을 제거하여 게이트를 형성하는 단계

를 포함하는 반도체 소자의 게이트 형성방법.

**【청구항 2】**

제 1 항에 있어서, 상기 마스크 박막은 상기 폴리 실리콘과의 식각율 차이가 큰 물질을 이용하는 반도체 소자의 게이트 형성방법.

**【청구항 3】**

제 1 항 또는 제 2 항에 있어서, 상기 마스크 박막은 PECVD 방법에 의해 증착되는 실리콘 나이트라이드인 반도체 소자의 게이트 형성방법.

**【청구항 4】**

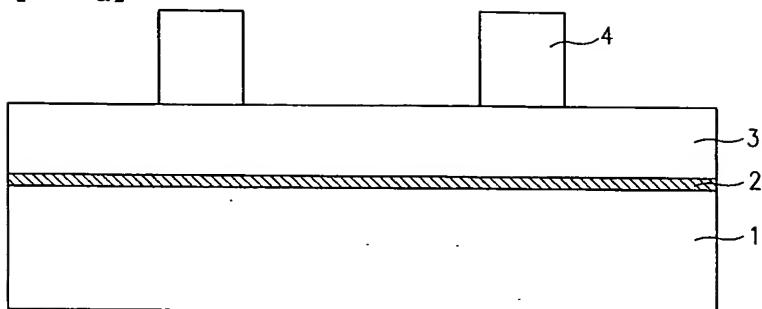
제 1 항에 있어서, 상기 1차 및 2차 식각을 실시하는 단계에서의 마스크 박막의 식각은 상기 폴리 실리콘의 드러날 때까지 실시하는 반도체 소자의 게이트 형성방법.

**【청구항 5】**

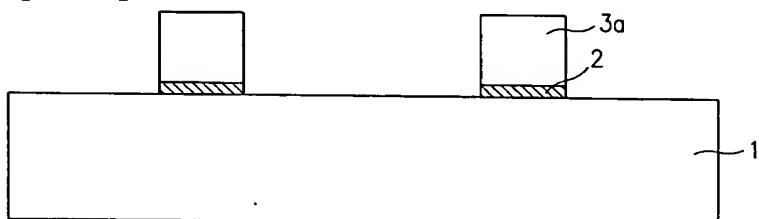
제 1 항에 있어서, 상기 게이트를 형성하는 단계에서, 상기 마스크 박막의 제거는 습식식각을 이용하는 반도체 소자의 게이트 형성방법.

## 【도면】

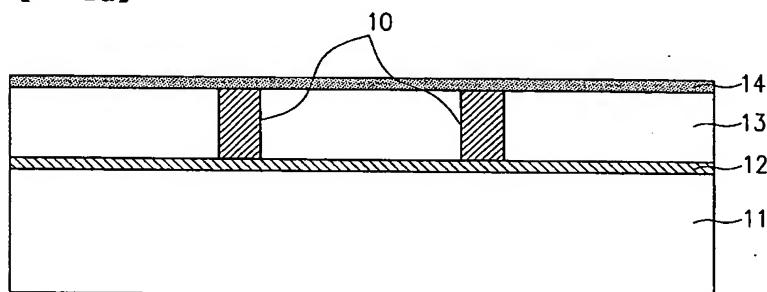
【도 1a】



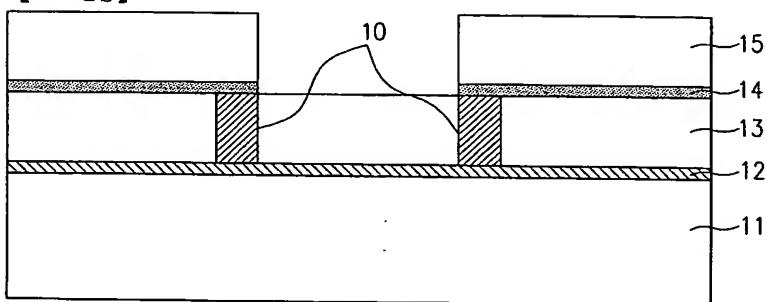
【도 1b】



【도 2a】



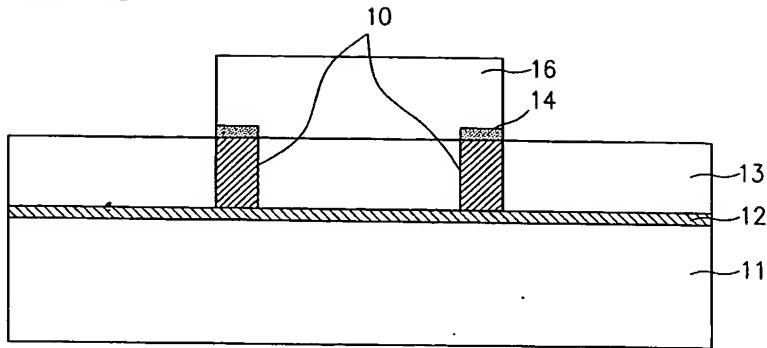
【도 2b】



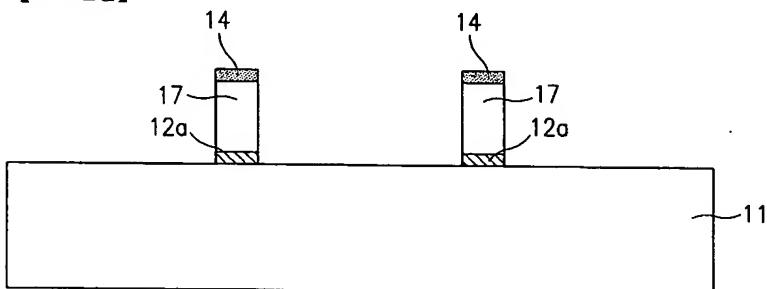
1020020082001

출력 일자: 2003/9/3

【도 2c】



【도 2d】



【도 2e】

